

A	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
B	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
C	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
D	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
E	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
F	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
G	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
H	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
I	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
J	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
K	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
L	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18

Input FPGA Power pins:  
VCCAUX (2V5) 16 pins  
VCCINT (1V5) 32 pins  
VCC0\_# (3V3) 10 pins each  
GND 124 pins

channel\_in

Rev 56  
Date 26 Jan 2005  
Time 12:09:48 pm  
Name peter.j

Proj: MR0D-X  
Proj: No:38405  
Peter Jansweijer  
peter.j@nikhef.nl

NIKHEF  
NATIONAAL INSTITUUT VOOR KERN-  
FYSICA EN HOOG ENERGIE-FYSICA  
KRUISLAAN 409 020-592 2000  
1098 SJ AMSTERDAM NEDERLAND

Size A3 4 1 4 A  
Dim 420 x 297 mm  
Page 2 of 6